

演算省略機構を備えた高速論理LSIシステムの研究

著者	今井 誠
号	2289
発行年	1998
URL	http://hdl.handle.net/10097/7562

氏 名	いまい まこと 今井 誠
授 与 学 位	博士 (工学)
学 位 授 与 年 月 日	平成11年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	演算省略機構を備えた高速論理 LSI システムの研究
指 導 教 官	東北大学教授 大見 忠弘
論 文 審 査 委 員	主査 東北大学教授 大見忠弘 東北大学教授 亀山充隆 東北大学教授 川又政征

論 文 内 容 要 旨

第1章 序論

現在に至るまでコンピュータの進化には目を見はるものがあるが、1930年代に開発された基本原理をいまだに用いている。高速で厳密な演算を得意とする一方で、逆に人間にすら判断できるような計算、言いかえると結果が明らかな計算も丁寧に行ってしまう。その冗長で無意味な演算のために、費やしている膨大なステップ数を減少させる手法が今後のハードウェアには必要であると考え。

本論文では、不必要なステップ数を省略するための手法、すなわち演算省略機構を2種類開発した。一つが上位桁先行演算処理であり、もう一つがプリプロセッサシステムである。

なお、本論文では応用用途として画像のベクトル量子化を採用し、説明を行う。画像のベクトル量子化とは画像を縦4ピクセル×横4ピクセルのブロックに区切り、複数の典型的なブロックパターン（テンプレートパターン）の集合であるコードブックの中から最も似通ったものを見つけ出す操作である。似通ったものかどうかは、ベクトルの各要素間の差分絶対値距離の総和（マンハッタン距離）を採用する。

第2章 無駄な桁の演算を省略する上位桁先行演算処理の原理

今日のコンピュータハードウェアはまさに“機械的”であり、プログラムにそって厳密に演算処理をこなすだけである。例えば、“百万円を持っているときに文庫本を3冊購入できるか”，という問題を与えたとすると、ハードウェアは正しくお釣りを計算したうえで「購入できる」という正しい出力を出す。同じ例題を人間に与えたとすると、多分、計算することなく購入できるという判断が下せるだろう。これは極端な例であるが、現在のコンピュータは厳密なため無意味な計算までしてしまうのである。

上位桁先行演算処理とは、このような不必要な演算を省略する新しいハードウェアアーキテクチャである。その原理は上位桁から一桁ずつ順番に処理を行い、比較・判断も上位桁から行う。もし、途中の桁の演算で判断がつけば、残りの下位桁の演算を省略することが可能になる。前述の例の場合には、百万円の位を計算すれば「購入できる」と判断がつくであろうから残りの下位桁の計算を省略することができる。

この上位桁先行演算処理の利点として4つ掲げる。(1) 個々の演算回路は1ビット分の演算をすればよいので小さい面積で実現できる。したがって、高並列回路が実現するだけの面積余裕が生まれる。(2) 入力ビット長に回路が依存しないため、任意のビット長のデータを流し込める（乗除算回路を除く）。(3) 連続した組合せ演算（パイプライン演算）処理が、異なる演算を行う演算器を直列に並べることで可能になる。(4) 上位桁からの比較・判断回路で真偽が確定した時点以降の下位桁の演算を省略できる。

ただし、加減算において下位桁から発生・伝搬する桁上げ・桁借り信号の連鎖を断ち切らなければ上位桁先行演算処理の実現は不可能であった。その問題を解決するために3つの手法を開発した。その中で最も有効なのが冗長数系を用いる手法である。冗長数系として2進SD数系を採用し、桁上げ信号伝播を押さえる上位桁先行加算原理及び回路を開発した。最も簡単な2入力加算器について図1に示す。点線全体が一つの加算器であり、3つの加算器と遅延素子(D)を2段ずつ内部に有する。また、16入力といった多入力加算器の設計手法も確立した。実際に後述するベクトル量子化及び乗算回路ではこの多入力加算器の効果がある。冗長数系を用いることで、上位桁からの比較演算は他方と“2以上離れた”という状態で大小が確定するルールに変更されることを示した。

逐次処理型ベクトル量子化プロセッサを上位桁先行演算処理に基づき設計し、シミュレーションにより省略効果を確認した。出力情報に含まれる冗長ビットは16入力加算器を用いることでわずか1ビットに減少できることを示した。3種類の標準画像についてベクトル量子化を行うと、平均して先頭からわずか4ビット程度の演算で最小値でないという判断がつき、残った下位桁の演算は省略可能である、という結果が得られた(図2)。この結果は、演算省略しない場合に対して3倍の高速性能であり、バイナリ回路と比較して3.7

倍もの高速性能である。

第3章 上位桁先行演算処理ハードウェア設計論

桁位置のずれた情報については DFF で桁位置を調整すればよいことを示した。

バイナリライブラリを用いて 2 進 SD 数系の回路を実現するため、バイナリ 2 本線を用いて SD 数系を表現した。その中で上位桁先行加算器を設計するのに最適な対応 (-1/0/+1=00/01/10) を見つけた。また、入力のパッケージ化処理手法、内部加算器の統合化というコンパクト化技術を開発した。2 入力と 16 入力加算器を Verilog-HDL で論理設計し、シミュレーションで動作確認をした。

上位桁先行差分絶対値回路、上位桁先行比較回路、多値応用として BCD 加算器も設計した。

逐次処理型ベクトル量子化回路について、上位桁先行演算手法と通常のバイナリ手法とを各々設計し、回路面積とクロック速度を比較した。上位桁版はバイナリ版と比較して回路面積が 2 倍になることがわかった。これは設計アーキテクチャの違いによるもので、上位桁先行演算処理には多数の差分絶対値回路が必要であるからである。ただし、12 ビット入力のベクトル量子化回路を考えると、両者の面積は等しくなることを示した。それは、従来の回路設計手法がビット長に依存した回路を設計しなければならないのに対し、上位桁先行演算処理は入力のビット長に依存しない回路形式であるからである。このように回路面積と動作速度という面から多ビット長のアプリケーションに上位桁先行演算処理が向いていることが分かる。また、クロック速度に省略機構の効果を加味して考えると、バイナリ回路と比較して、8 ビット入力ベクトル量子化回路で 2 倍、12 ビット入力ベクトル量子化回路で 3.5 倍の速度向上が果たせることがわかった。

上位桁先行乗算器として列加算方式と行加算方式を設計した。実際に 16×16 ビット 2 進 SD 数系の乗算機を 0.6μm ルール、3 層メタルスタンダード CMOS プロセスで試作し、測定して動作確認をした。図 3 は乗算の測定波形である。乗数・被乗数は上位桁から順番に一桁ずつ入力され、乗算結果は一定の時間遅れ後から 32 クロックにわたって順番に上位桁から出力される。なお、負荷の関係から出力に中間電位が測定されている。動作限界速度についても測定し、5V で 50MHz 動作が得られた。設計値 100MHz よりも低い。前述の出力負荷の影響と考えられる。そのため入力のタイミングを変化させて測定することで内部の遅延速度を測定し、回路内部はほぼ設計値通りの速度で動作していることが分かった。以上の結果は列加算方式のものであるが、行加算方式についてもほぼ同様の特性が得られた。なお、上位桁先行乗算器は多数の上位桁先行加算回路から成り立っており、上

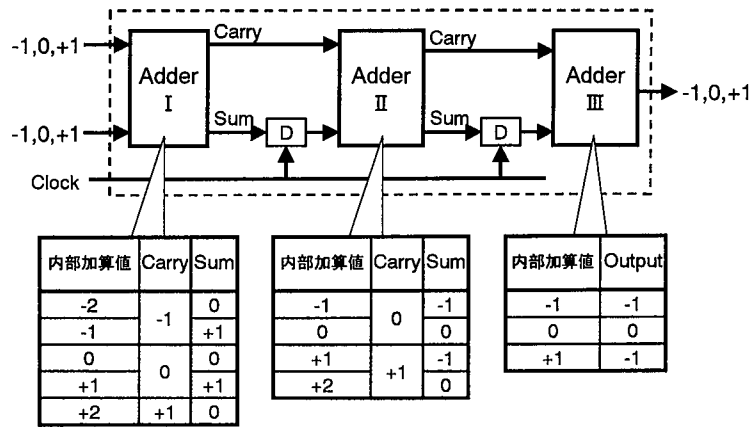


図 1 2 進 SD 数系を用いた上位桁先行 2 入力加算器。

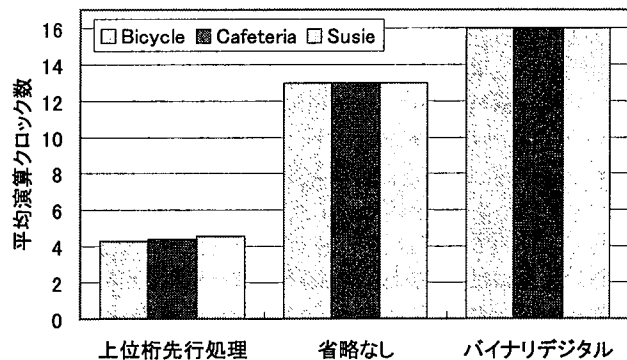


図 2 ベクトル量子化での省略効果。

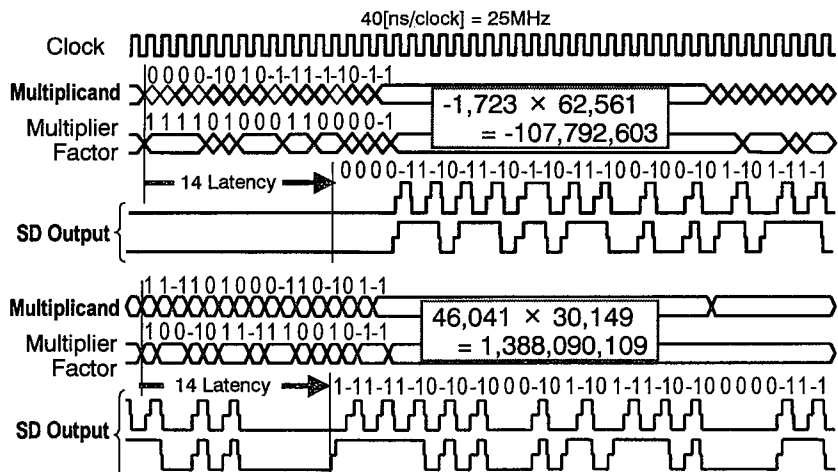


図 3 試作した乗算回路の測定波形。

位桁先行加算回路もこれで動作確認が取れたことになる。

第4章 プリプロセッサシステムとベクトル量子化。

プリプロセッサは膨大なデータを処理するハードウェアにおいて、予め必要なデータと不必要なデータに分類することで、後段のメインプロセッサでの負荷を軽減するものである。必要なデータか否かを判断するため、データの内容を端的に示す「特徴量」を採用し、特徴量同士の簡単な演算でメイン演算の結果を推測することによる。

ベクトル量子化においては従来、黒い画像ベクトルと白い画像ベクトルも丁寧に計算を行っていた。そこで、「平均値」を特徴量としたプリプロセッサで明らかに異なるものを取り除くこととする。図4は、平均値の近い何%のデータを残せば画質に影響を与えないか、というものを調べたものである。10%程度残して、残りの90%の情報を削減してもほぼ問題ないことを示した。これは、演算量という観点からは1/10にしたことに相当する。

ただし、平均値の近いものを抜き出してくるという操作は並列ハードウェア向きでないため、ハードウェア向きの「タグ形式」プリプロセッサを開発した。このシステムは膨大な情報ソースを2次元メモリに格納し、それぞれの行にその行の特徴量にあたるタグをつける。入力に応じてある行のタグをヒットさせ、その行の中から最適なものを探し出す仕組みである。ヒットした行の前後複数行を選択し、その中から探し出す形式にすれば、ベクトル量子化での画質に問題がないことを示した。その際、[選択行数]÷[メモリ配列行数]を前記の10%前後にする。ベクトル量子化シミュレーションを様々な画像について行ない、タグ形式ベクトル量子化は全数検索式と比較し最大0.5[dB]の劣化で済むことを示した。

このタグ形式を若干変更した手法によりチップを試作した。従来の全並列方式¹⁾との比較を図5に示す。設計ルールが変更になってはいるが、12倍ものコードブックメモリが搭載できたことになる。

第5章 四端子デバイスと演算省略回路

四端子デバイスは、多入力の加算が行なえる特徴があるため、2進SD数を含めた多値処理が容易に実現可能である。上位桁先行2入力加算器と同16入力加算器をニューロンMOSトランジスタを用い設計した。

上位桁先行演算処理ではDFFの面積が問題となる。そこで記憶素子を内蔵したラッチ型ニューロンMOS論理回路を用いてDFFを削減することを検討した。タイミングコントロール問題があるが実現可能である。

また、上位桁先行演算処理は、回路ブロック間の接続が簡単であるためリコンフィギュラブルロジックに適用できると考え、全加算器ベースのフレックスウェアを開発した。

第6章 結論

上位桁先行演算処理による下位桁の無駄な演算の自動省略機構とプリプロセッサによる不必要なデータの自動排除の仕組みを開発した。膨大な数値演算処理や膨大なデータ処理の用途には今後、これらの知的ハードウェアにより処理能力を向上させることが必要であると考え。

1) T. Shibata, et.al., "A Fully-Parallel Vector Quantization Processor for Real-Time Motion Picture Compression," ISSCC Digest of Technical Papers, pp.270-271, Feb., 1997.

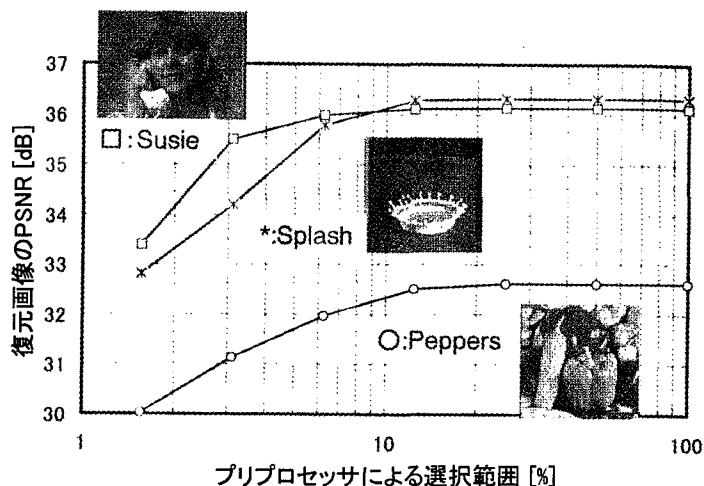


図4 平均値による選択確率と画質に与える影響

	全並列方式	タグ・プリプロセッサ方式	
		高速モード	次元拡張モード
デザインルール	0.6μm Rule	0.35μm Rule	
チップ面積	7.98mm × 9.03mm	9.73mm × 9.73mm	
動作周波数	33MHz	33MHz	
チップ当たりベクトル数	256	2048	4096
最大ベクトル数/チップ数	2048/8チップ	8192/4チップ	4096/4チップ
ベクトル当たりエレメント数	16	16	32
エレメント当たりビット幅	8 [bit]	12 [bit]	
チップ当たりメモリ容量	32K [bit]	384K [bit]	
タグメモリ容量		896 [bit]	

図5 試作したチップと従来のチップとの性能比較。

審査結果の要旨

現在のコンピュータハードウェアは、単純命令をくり返し処理する構造となっており、あらゆる問題の処理に膨大なステップ数のプログラムが必要である。人間には結果が明らかであるような処理であっても、すべての場合を厳密に演算処理している。著者は、無駄な演算を自動的に省略するハードウェアにより処理時間を短くできるとし、2つの演算省略アルゴリズムを開発した。その第1は、上位桁から桁毎に逐次処理を行っていく上位桁先行演算処理手法であり、途中の桁で判断結果が確定した場合に残りの下位桁の演算を省略できる効果を持つ。第2は、所望の演算に対して必要なデータ群と不必要なデータ群とに自動的に分類するプリプロセッサシステムであり、必要なデータについてのみ詳細に演算を行えばよく、特に大量のデータに対して高速処理が可能となる。本論文は、これらの研究成果を取りまとめたものであり、全文6章よりなる。

第1章は序論である。

第2章では、上位桁先行演算処理の基本原理を述べている。加算等の演算において発生する桁上げ・桁借り信号伝搬が上位桁からの演算処理の問題であり、解決手段として冗長数系を用いた方式について詳細に述べている。また、 4×4 画素 8 ビット程度のコードブックを有するベクトル量子化プロセッサにこの手法を適用した場合の演算の省略効果について述べ、無駄な下位桁の計算を省略することにより 3.7 倍の効果があることを明らかにした。

第3章では、上位桁先行演算処理の回路設計手法について述べている。第2章で明らかにした原理に基づき加算器等の基本回路を設計し、乗算回路については試作チップを測定しその動作を確認している。また、ベクトル量子化プロセッサの評価から処理ビット数の大きいアプリケーションほど上位桁先行演算処理の効果が大きいことを明らかにした。これは重要な成果である。

第4章では、プリプロセッサシステムの原理を述べ、ベクトル量子化プロセッサに適用した場合の効果について述べている。大量のベクトルデータを要素の平均値という特徴量で前処理することにより、全数検索の 10 分の 1 に演算量が減少できることを明らかにした。結果として、2,048 コード搭載のベクトル量子化プロセッサの一チップ化に初めて成功している。これは実用上きわめて重要な成果である。

第5章は、基本素子として四端子デバイスを用いた場合の演算省略回路への効果について述べている。回路が小規模化できることと将来のリコンフィギュラブルロジックへの展望について述べている。

第6章は結論である。

以上要するに本論文は、コンピュータに無駄な処理をさせないという思想に基づき、演算省略を実現するアルゴリズムすなわち上位桁先行演算処理と特徴量抽出プリプロセッシングの導入により演算処理量を 2 桁程度減少させる手法と、それを実現する回路設計手法とを明らかにしたもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。